



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0052366
Application Number

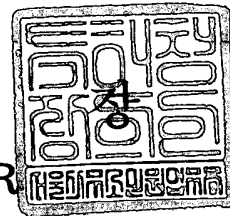
출원 년 월 일 : 2003년 07월 29일
Date of Application JUL 29, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 13 일

특 허 청
COMMISSIONER





1020030052366

출력 일자: 2003/8/18

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.29
【발명의 명칭】	모스 트랜지스터들의 제조방법
【발명의 영문명칭】	METHOD FOR FORMING MOS TRANSISTORS
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김명수
【성명의 영문표기】	KIM,MYOUNG-SOO
【주민등록번호】	690523-1063118
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1052번지 2호 황골마을 쌍용 아파트 249 동 1902호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허
【출원번호】	10-2002-0054905
【출원일자】	2002.09.11
【증명서류】	미첨부
【심사청구】	청구



1020030052366

출력 일자: 2003/8/18

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

31 면 31,000 원

【우선권주장료】

1 건 26,000 원

【심사청구료】

24 항 877,000 원

【합계】

963,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

캐패시터와 동시에 형성하는 게이트 절연막의 두께가 서로 다른 모스 트랜지스터들의 제조방법이 개시된다. 기판에 제1 트랜지스터 영역, 캐패시터 영역 및 제2 트랜지스터 영역을 정의하는 필드영역을 형성한다. 이어서, 상기 제1 트랜지스터 영역에 제1 게이트 스택을 형성하되, 동시에 상기 캐패시터 영역에 캐패시터의 하부전극을 형성한다. 이어서, 상기 캐패시터의 하부전극 상에 유전체막을 개재한 캐패시터의 상부전극을 형성하되, 동시에 상기 제2 트랜지스터 영역에 제2 게이트 스택을 형성한다.

【대표도】

도 1d

【색인어】

게이트 절연막, 캐패시터, 모스 트랜지스터, 게이트막 패턴



【명세서】

【발명의 명칭】

모스 트랜지스터들의 제조방법{METHOD FOR FORMING MOS TRANSISTORS}

【도면의 간단한 설명】

도 1a 내지 도 1d는 본 발명의 제1 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 공정단면도들이다.

도 2a 내지 도 2b는 본 발명의 제2 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 공정단면도들이다.

도 3a 내지 도 3e는 본 발명의 제3 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 공정단면도들이다.

도 4a 내지 도 4c는 본 발명의 제4 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 공정단면도들이다.

도 5a 내지 도 5e는 본 발명의 제5 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 공정단면도들이다.

도 6a, 6b 및 7은 본 발명의 제5 실시예의 변형예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 공정단면도들이다.

*도면의 주요 부분에 대한 부호의 설명

2 : 기판

4 : 필드영역

6 : 제1 게이트 절연막

10, 19 : 제1 게이트 스택

11, 17 : 게이트막 패턴

14: 하부전극



16 : 유전체막

18 : 제2 게이트 절연막

22: 제2 게이트 스택

26 : 상부전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 게이트 절연막의 두께가 서로 다른 모스 트랜지스터들의 제조방법에 관한 것으로, 특히 캐패시터, EEPROM(Electrically Erasable and Programmable Read Only Memory), 또는 저항과 동시에 형성하는 게이트 절연막의 두께가 서로 다른 모스 트랜지스터들의 제조방법에 관한 것이다.
- <14> 반도체 집적회로(IC)에서는 트랜지스터, 캐패시터, 저항 등의 다양한 소자가 단일 칩 상에 집적되어 있으며, 이들 소자들을 효과적으로 구현하는 방법이 다양하게 개발되어 왔다. 예컨대, 기판상에 폴리-폴리 캐패시터, 모스 트랜지스터 및 바이폴라 트랜지스터를 동시에 형성하는 방법이 한국특허공보 제2001-87183호에 "폴리-폴리 캐패시터, MOS 트랜지스터 및 바이폴라 트랜지스터의 동시 형성 방법, 폴리-폴리 캐패시터 및 그 제조 방법"라는 제목으로 개시된 바 있으며, 폴리-폴리 캐패시터의 플레이트 전극과 모스 트랜지스터의 게이트 전극을 동시에 형성하는 방법이 미국특허 제6,303,455호에 "캐패시터를 제조하는 방법"라는 제목으로 개시된 바 있다.
- <15> 현재 실리콘 반도체 기술은 정보 처리를 주 기능으로 하는 CPU로 대표되는 로직 기술과 정보 저장을 목적으로 하는 메모리(memory) 기술을 동시에 구현하는

방법이 다양하게 개발되고 있다. 더 나아가 로직 기술과 메모리 기술의 통합 뿐만 아니라, 아날로그, RF 기술 등이 통합되고 있다. 그런데, 실리콘 반도체 기술의 가장 중요한 요소로서 로직 기술과 메모리 기술에 모두 중요하게 사용되는 트랜지스터(transistor) 기술을 살펴보면, 로직 기술에서는 트랜지스터 전류 구동 능력이 핵심을 이루고 있으나, 메모리 기술에서는 트랜지스터의 낮은 누설전류와 높은 항복(breakdown) 전압이 중요한 핵심을 이루고 있다. 따라서, 단일 칩 상에서 게이트 절연막의 두께가 서로 다른 모스 트랜지스터들을 효과적으로 구현하는 것이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

- <16> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 폴리-폴리 캐패시터, 저항, EEPROM 등을 형성하는데 전형적으로 이용되는 단계 및 구조를 이용하여 게이트 절연막의 두께가 서로 다른 모스 트랜지스터들의 제조방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

- <17> 상기 목적을 달성하기 위하여 본 발명의 반도체 장치의 제조방법은 기판에 제1 트랜지스터 영역, 캐패시터 영역 및 제2 트랜지스터 영역을 정의하는 필드영역을 형성한다. 이어서, 상기 제1 트랜지스터 영역에 제1 게이트 스택을 형성하되, 동시에 상기 캐패시터 영역에 캐패시터의 하부전극을 형성한다. 이어서, 상기 캐패시터의 하부전극 상에 유전체막을 개재한 캐패시터의 상부전극을 형성하되, 동시에 상기 제2 트랜지스터 영역에 제2 게이트 스택을 형성한다.

- <18> 상기 목적을 달성하기 위하여 본 발명의 또 다른 반도체 장치의 제조방법은 기판에 제1 트랜지스터 영역, 캐패시터 영역 및 제2 트랜지스터 영역을 정의하는 필드영역을 형성한다. 이어서, 상기 제1 트랜지스터 영역에 게이트막 패턴을 형성하되, 동시에 상기 캐패시터 영역에 캐패시터의 하부전극을 형성한다. 이어서, 상기 캐패시터의 하부전극 상에 유전체막을 개재한 캐패시터의 상부전극을 형성하되, 동시에 상기 제2 트랜지스터 영역에 제2 게이트 스택을 형성한다. 이어서, 상기 게이트막 패턴을 패터닝하여 제1 게이트 스택을 형성한다.
- <19> 상기 목적을 달성하기 위하여, 본 발명의 또다른 반도체 장치의 제조 방법은 반도체기판의 소정영역에, 제 1 영역, 제 2 영역 및 제 3 영역을 정의하는 소자분리막들을 형성하는 제 1 단계를 포함한다. 이후, 상기 제 1 영역의 반도체기판 상에 차례로 적층된 제 1 게이트 절연막 및 제 1 게이트 도전막 패턴을 형성하고, 상기 제 2 영역의 반도체기판 상에 차례로 적층된 제 2 게이트 절연막 및 제 2 게이트 도전막 패턴을 형성하고, 상기 제 3 영역의 반도체기판 상에 차례로 적층된 제 3 게이트 절연막 및 상기 제 2 게이트 도전막 패턴을 형성하는 제 2 단계를 실시한다. 이후, 상기 제 1 및 제 2 게이트 도전막 패턴을 함께 패터닝하여, 상기 제 1, 제 2 및 제 3 영역에 각각 배치되는 제 1, 제 2 및 제 3 게이트 전극을 형성하는 제 3 단계를 실시한다. 상기 제 1, 제 2 및 제 3 게이트 절연막들은 서로 다른 두께를 갖는 것을 특징으로 한다.
- <20> 바람직하게는, 상기 제 2 단계는 상기 제 1 영역의 반도체기판 상에 차례로 적층된 제 1 게이트 절연막 및 제 1 게이트 도전막 패턴을 형성하고, 상기 제 2 및 제 3 영역의 반도체기판 상에 서로 다른 두께의 제 2 및 제 3 게이트 절연막을 각각 형성하고, 상기 제 2 및 제 3 게이트 절연막이 형성된 반도체기판의 전면에서 제 2 게이트 도전막을 형

성한 후, 상기 제 2 게이트 도전막을 패터닝하여 상기 제 1 영역에서 상기 제 1 게이트 도전막 패턴을 노출시키는 제 2 게이트 도전막 패턴을 형성하는 단계를 포함한다.

<21> 상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일 실시예를 상세히 설명한다.

<22> 도면부호 'A' 영역에서는 제1 트랜지스터가 형성되는 영역이고, 도면부호 'B' 영역에서는 캐패시터가 형성되는 영역이고, 도면부호 'C' 영역에서는 제2 트랜지스터가 형성되는 영역이다. 실시예에서는 도면부호 'B' 영역에서 캐패시터가 형성되는데, 경우에 따라서는 EEPROM 또는 저항을 형성할 수 있다. 예컨대, 실시예에서 설명된 캐패시터의 하부전극은 EEPROM의 플로팅 게이트에 해당하며, 유전체막은 게이트간 절연막에 해당하며, 캐패시터의 상부전극은 EEPROM의 콘트롤 게이트에 해당할 수 있다. 또한, 'A' 영역, 'B' 영역 및 'C' 영역에서는 각각 2개의 트랜지스터, 1개의 캐패시터 및 2개의 트랜지스터를 도시하고 있는데, 도시된 소자의 숫자는 이해의 편의를 위한 것이다.

<23> (실시예1)

<24> 도 1a 내지 도 1d는 본 발명의 제1 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 단면도들이다.

<25> 도 1a를 참조하면, 기판(2)에 활성영역을 정의하는 필드영역(4)을 형성한다. 즉, 상기 기판(2)의 소정 영역을 선택적으로 식각하여 트렌치를 형성하고, 상기 트렌치를 충분히 채우는 절연물을 매립하고 화학기계적 연마하여 필드영역(4)을 형성한다. 상기 필드영역(4)이 형성된 기판 상에 제1 게이트 절연막(6) 및 제1 도전막(8, 14)을 형성한다.

이어서, 통상의 사진식각 공정을 진행하여 'A' 영역에서는 제1 게이트 절연막(6) 및 제1 게이트 전극(8)으로 이루어진 제1 게이트 스택(10)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 하부전극(14)을 형성한다. 상기 제1 게이트 절연막(6)은 실리콘 산화막으로 형성하고, 상기 제1 도전막(8)은 폴리실리콘으로 형성하는 것이 바람직하며, 그 밖에 다양한 물질로 형성할 수 있다.

<26> 도 1b를 참조하면, 상기 제1 게이트 스택(10) 및 상기 캐패시터의 하부전극(14)이 형성된 기판 전면에는 캐패시터의 유전체막(16)을 형성한다. 상기 유전체막(16)은 실리콘 산화막, 실리콘 질화막, ONO(Oxide-Nitride-Oxide)막, 탄탈륨(Ta) 산화막, 바륨-스트론튬-티타늄(Ba-Sr-Ti) 산화막, 지르코늄(Zr) 산화막, 하프늄(Hf) 산화물, 납-아연-티타늄(Pb-Zn-Ti) 산화물, 스트론튬-비스무스-탄탈륨(Sr-Bi-Ta) 산화물 중에서 선택된 적어도 하나로 형성할 수 있다.

<27> 도 1c를 참조하면, 상기 유전체막(16)을 패터닝하여 'B' 영역의 상기 캐패시터의 하부전극(14) 상에 유전체막을 잔류시킨다.

<28> 도 1d를 참조하면, 기판 전면에는 제2 게이트 절연막(18) 및 제2 도전막(20, 26)을 차례대로 적층한다. 이어서, 상기 제2 도전막(20) 및 상기 제2 게이트 절연막(18)을 통상의 사진식각 공정을 사용하여 패터닝하여 'C' 영역에서는 제2 게이트 스택(22)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 상부전극(26)을 형성한다. 상기 제2 게이트 절연막(18)은 상기 제1 게이트 절연막(6)과는 그 두께를 달리하여 'A' 영역의 트랜지스터와 'C' 영역의 트랜지스터는 서로 다른 특성을 가진다. 다시 말하면, 'A' 영역의 MOS 트랜지스터 및 'B' 영역의 캐패시터를 형성하는 과정에서 특성을 달리하는 또 다른 MOS 트랜지스터를 'C' 영역에서 형성할 수 있다.

<29> 이어서, 도면에는 도시되어 있지 않지만, 상기 게이트 스택(10, 22)의 양 측면의 기판에 소오스 및 드레인 영역을 형성하여 모스 트랜지스터를 완성한다.

<30> (실시예2)

<31> 도 2a 내지 도 2b는 본 발명의 제2 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 단면도들이다.

<32> 도 2a를 참조하면, 기판(2)에 활성영역을 정의하는 필드영역(4)을 형성하고, 기판 전면에 제1 게이트 절연막(6), 제1 도전막(8, 14), 및 유전체막(16)을 순서대로 적층한다. 상기 유전체막(16), 상기 제1 도전막(8, 14), 및 상기 제1 게이트 절연막(6)을 통상의 사진식각 공정을 사용하여 패터닝하여 'A' 영역에서는 제1 게이트 스택(19)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 하부전극(14) 및 유전체막(16)을 형성한다.

<33> 도 2b를 참조하면, 기판 전면에 제2 게이트 절연막(18) 및 제2 도전막(20, 26)을 형성하고, 통상의 사진식각 공정을 사용하여 패터닝하여 'C' 영역에서는 제2 게이트 스택(22)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 상부전극(26)을 형성한다. 상기 제2 게이트 절연막(18)은 상기 제1 게이트 절연막(6)과는 그 두께를 달리하여 'A' 영역의 트랜지스터와 'C' 영역의 트랜지스터는 서로 다른 특성을 가진다.

<34> 이어서, 도면에는 도시되어 있지 않지만, 상기 게이트 스택(19, 22)의 양 측면의 기판에 소오스 및 드레인 영역을 형성하여 모스 트랜지스터를 완성한다.

<35> 제2 실시예는 제1 실시예와 대비하여 게이트 스택(19)과 캐패시터의 하부전극(14) 및 유전체막(16)을 한 번에 패터닝함으로써 사진 공정을 줄일 수 있는 장점이 있다.

<36> (실시예3)

- <37> 도 3a 내지 도 3e는 본 발명의 제3 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 단면도들이다.
- <38> 도 3a를 참조하면, 기판(2)에 활성영역을 정의하는 필드영역(4)을 형성하고 제1 게이트 절연막(6) 및 제1 도전막(8, 14)을 차례대로 적층한다. 상기 제1 도전막(8, 14) 및 상기 제1 게이트 절연막(6)을 통상의 사진 식각공정을 사용하여 패터닝하여 'A' 영역에서는 게이트막 패턴(11)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 하부전극(14)을 형성한다. 상기 게이트막 패턴(11)은 제1 게이트 스택이 형성되는 활성영역 상에 형성되며, 상기 게이트막 패턴(11)의 가장자리는 상기 필드영역(4)에 오버랩 되는 것이 바람직하다.
- <39> 도 3b를 참조하면, 상기 게이트막 패턴(11) 및 상기 캐패시터의 하부전극(14)이 형성된 기판 상에 유전체막(16)을 형성한다.
- <40> 도 3c를 참조하면, 상기 유전체막(16)을 통상의 사진식각 공정을 사용하여 패터닝하여 유전체막이 'A' 영역에서는 상기 게이트막 패턴(11)의 전면을 덮으며, 'B' 영역에서는 상기 캐패시터의 하부전극(14)을 덮도록 한다.
- <41> 도 3d를 참조하면, 기판 전면에서 제2 게이트 절연막(18) 및 제2 도전막(20, 26)을 순서대로 적층한다. 이어서, 상기 제2 도전막(20, 26) 및 상기 제2 게이트 절연막(18)을 통상의 사진식각 공정을 사용하여 패터닝하여 'C' 영역에서는 제2 게이트 스택(22)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 상부전극(26)을 형성한다. 상기 제2 게이트 절연막(18)은 상기 제1 게이트 절연막(6)과는 그 두께를 달리한다.

- <42> 도 3e를 참조하면, 'A' 영역에서 상기 게이트막 패턴(11)을 통상의 사진식각 공정을 사용하여 패터닝하여 제1 게이트 스택(19)을 형성한다.
- <43> 이어서, 도면에는 도시되어 있지 않지만, 상기 게이트 스택(19, 22)의 양 측면의 기판에 소오스 및 드레인 영역을 형성하여 모스 트랜지스터를 완성한다.
- <44> 제3 실시예는 제1 실시예와 대비하여 다음과 같은 장점이 있다.
- <45> 첫째, 제3 실시예의 제1 게이트 스택(19)은 제1 실시예의 제1 게이트 스택보다는 측벽에 레지듀(residue)가 잔류할 가능성이 적다. 제1 실시예에서는 제2 게이트 스택 및 캐패시터의 상부전극을 형성하는 과정에서 이미 패터닝된 제1 게이트 스택의 측벽에 스페이서 형태로 제2 도전막의 레지듀가 잔류할 수 있다. 이는 제1 트랜지스터의 작동에 치명적인 불량률 야기할 수 있다. 제3 실시예에서는 제1 게이트 스택(19)을 제2 게이트 스택(22)을 형성한 후에 패터닝함으로써 제1 게이트 스택(19)의 측벽에 레지듀가 잔류하는 상술한 문제점을 원천적으로 방지할 수 있는 장점이 있다.
- <46> 둘째, 제3 실시예에서는 제1 게이트 스택(19) 상에는 유전체막(16)이 덮여져 있는데, 상기 유전체막은 후속 이온주입 공정의 배리어막으로 작용한다. 특히, PMOS의 소오스 및 드레인을 형성하기 위한 보론(B)의 이온 주입시에 보론 침투(boron penetration)를 막을 수 있는 장점이 있다.
- <47> (실시예4)
- <48> 도 4a 내지 도 4c는 본 발명의 제4 실시예에 따른 모스 트랜지스터들 및 캐패시터의 제조방법을 나타내는 단면도들이다.

1020030052366

- <49> 도 4a를 참조하면, 기판(2)에 활성영역을 정의하는 필드영역(4)을 형성하고, 기판 전면에 제1 게이트 절연막(6), 제1 도전막(8, 14), 및 유전체막(16)을 순서대로 적층한다. 상기 유전체막(16), 상기 제1 도전막(8, 14), 및 상기 제1 게이트 절연막(6)을 통상의 사진식각 공정을 사용하여 패터닝하여 'A' 영역에서는 게이트막 패턴(17)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 하부전극(14) 및 유전체막(16)을 형성한다.
- <50> 도 4b를 참조하면, 기판 전면에 제2 게이트 절연막(18) 및 제2 도전막(20, 26)을 형성한다. 이어서, 상기 제2 도전막(20, 26) 및 상기 제2 게이트 절연막(18)을 통상의 사진식각 공정을 사용하여 패터닝하여 'C' 영역에서 제2 게이트 스택(22)을 형성하며, 동시에 'B' 영역에서는 캐패시터의 상부전극(26)을 형성한다. 상기 제2 게이트 절연막(18)은 상기 제1 게이트 절연막(6)과는 그 두께를 달리한다.
- <51> 도 4c를 참조하면, 'A' 영역에서 상기 게이트막 패턴(17)을 통상의 사진식각 공정을 사용하여 패터닝하여 제1 게이트 스택(19)을 형성한다.
- <52> 이어서, 도면에는 도시되어 있지 않지만, 상기 제1 및 제2 게이트 스택(19, 22)의 양 측면의 기판에 소오스 및 드레인 영역을 형성하여 MOS 트랜지스터를 완성한다.
- <53> 제4 실시예는 제3 실시예와 대비하여 게이트막 패턴(17)과 캐패시터의 하부전극(14) 및 유전체막(16)을 한 번에 패터닝함으로써 사진 공정을 줄일 수 있는 장점이 있다.
- <54> (실시예5)

<55> 도 5a 내지 도 5e는 본 발명의 제 5 실시예에 따른 반도체 장치의 제조방법을 나타내는 공정단면도들이다.

<56> 도 5a를 참조하면, 반도체기판(2)의 소정영역에, 상기 반도체기판(2)을 복수개의 영역들로 한정하는 소자분리막들(4)을 형성한다. 상기 영역들은 적어도 제 1 영역(A), 제 2 영역(B) 및 제 3 영역(C)을 포함할 수 있다. 상기 제 1, 제 2 및 제 3 영역(A,B,C)은 그 영역에 배치되는 트랜지스터들의 동작 전압을 기준으로 구분될 수 있다. 본 발명의 실시예에 따르면, 상기 제 1, 제 2 및 제 3 영역(A,B,C)은 대략 5.5V, 2.5V 및 30V의 동작 전압을 갖는 트랜지스터들이 배치되는 활성영역들이다. 이에 더하여, 상기 소자분리막들(4) 중의 일부는, 도시한 것처럼, 커패시터가 배치되는 커패시터 영역(D)으로 사용될 수 있다.

<57> 상기 소자분리막(4)을 형성한 후, 상기 제 1 영역(A)의 반도체기판 상에 제 1 게이트 절연막(30)을 형성한다. 상기 제 1 게이트 절연막(30)은 열산화 공정을 사용하여 형성된 실리콘 산화막이며, 바람직하게는 50 내지 300Å의 두께로 형성된다. 한편, 통상적인 열산화 공정에 따르면, 상기 제 1 게이트 절연막(30)은 상기 제 1 영역(A) 이외의 반도체기판 상에 형성될 수도 있다. 이 경우, 적어도 상기 제 2 및 제 3 영역(B,C)에서는 상기 제 1 게이트 절연막(30)을 제거하는 것이 바람직하며, 이러한 제거는 추가적인 공정을 통해 달성될 수 있다.

<58> 상기 제 1 게이트 절연막(30)이 형성된 반도체기판의 전면에, 제 1 게이트 도전막을 형성한다. 본 발명의 실시예에 따르면, 상기 제 1 게이트 도전막은 대략 1000 내지 2000Å 두께의 다결정 실리콘으로 형성하되, 다양한 다른 도전성 물질들이 사용될 수도 있다. 상기 제 1 게이트 도전막을 다결정 실리콘으로 형성하는 경우, 그 형성 방법은 인

시튜 도핑 또는 후속 불순물 도핑 공정과 같은 다양한 기술이 사용될 수 있다. 이를 통해, 상기 제 1 게이트 도전막은 소정의 불순물 농도 및 소정의 불순물 도전형을 가질 수 있다.

<59> 이후, 상기 제 1 게이트 도전막을 패터닝하여, 상기 제 1 영역(A) 및 상기 커패시터 영역(D)에 각각 제 1 게이트 도전막 패턴(62) 및 커패시터 하부 전극(64)을 형성한다. 상술한 제 2 및 제 3 영역에서 상기 제 1 게이트 절연막(30)을 제거하는 공정은 상기 제 1 게이트 도전막을 패터닝하는 단계를 이용할 수 있다.

<60> 상기 제 1 게이트 도전막 패턴(62)은 상기 제 1 게이트 절연막(30)을 완전히 덮는다. 이를 위해, 상기 제 1 게이트 도전막 패턴(62)의 측벽 가장자리는 상기 제 1 영역(A)의 소자분리막(4) 상에 형성되는 것이 바람직하다. 상기 커패시터 하부 전극(64)은 상기 커패시터 영역(D) 내의 상기 소자분리막(4) 상에 배치된다.

<61> 도 5b를 참조하면, 상기 제 1 게이트 도전막 패턴(62) 및 상기 커패시터 하부 전극(64)이 형성된 반도체기판 상에, 유전막을 형성한다. 이후, 상기 유전막을 패터닝하여, 상기 커패시터 하부 전극(64) 및 상기 제 1 게이트 도전막 패턴(62)의 상부면 및 측벽을 둘러싸는 유전막 패턴(75)을 형성한다. 이때, 상기 유전막 패턴(75)은 상기 제 2 영역(B) 및 제 3 영역(C) 상에서 제거된다.

<62> 상기 유전막은 실리콘 산화막, 실리콘 질화막, ONO(Oxide-Nitride-Oxide)막, 탄탈륨(Ta) 산화막, 바륨-스트론튬-티타늄(Ba-Sr-Ti) 산화막, 지르코늄(Zr) 산화막, 하프늄(Hf) 산화물, 납-아연-티타늄(Pb-Zn-Ti) 산화물, 스트론튬-비스무스-탄탈륨(Sr-Bi-Ta) 산화물 중에서 선택된 적어도 하나로 형성할 수 있다. 본 발명의 실시예에 따르면, 상기 유전막은 ONO막으로 형성한다.

<63> 도 5c를 참조하면, 상기 유전막을 패터닝한 후, 상기 제 2 영역(B) 및 제 3 영역(C) 상에 서로 다른 두께를 갖는 제 2 게이트 절연막(40) 및 제 3 게이트 절연막(50)을 형성한다. 본 발명의 실시예에 따르면, 상기 제 2 게이트 절연막(40)은 열산화 공정을 사용하여 형성된 실리콘 산화막이며, 바람직하게는 10 내지 100Å의 두께로 형성된다. 또한, 상기 제 3 게이트 절연막(50)은 화학기상증착 공정을 사용하여 형성한 실리콘 산화막이며, 바람직하게는 100 내지 1000Å의 두께로 형성된다.

<64> 상기 제 2 게이트 절연막(40) 및 상기 제 3 게이트 절연막(50)을 형성하는 단계는 상기 제 2 영역(B) 및 제 3 영역(C) 상에, 차례로 적층된 제 1 실리콘 산화막 및 마스크막을 형성하는 단계를 포함한다. 이후, 상기 마스크막을 패터닝하여, 상기 제 2 영역(B)을 덮으면서 상기 제 3 영역(3)의 반도체기판을 노출시키는 마스크막 패턴을 형성한다. 상기 마스크막 패턴이 형성된 반도체기판 상에, 화학기상증착 공정을 사용하여, 상기 제 3 게이트 절연막(50)으로 사용되는, 제 2 실리콘 산화막을 소정의 두께로 형성한다. 이후, 상기 제 2 영역(B)의 반도체기판이 노출되도록 상기 제 2 실리콘 산화막, 상기 마스크막 패턴 및 상기 제 1 실리콘 산화막을 식각한다. 이어서, 열산화 공정을 실시하여, 상기 노출된 제 2 영역(B)의 반도체기판 상에 상기 제 2 게이트 절연막(40)으로 사용되는 실리콘 산화막을 형성한다. 상기 제 1 실리콘 산화막, 상기 마스크막 및 상기 제 2 실리콘 산화막은 ONO막으로 이루어진 상기 유전막을 사용할 수도 있다. 상기 제 2 게이트 절연막(40) 및 상기 제 3 게이트 절연막(50)을 형성하는 방법은 상술한 설명으로부터의 다양한 변형이 가능하다.

<65> 도 5d를 참조하면, 상기 제 2 및 제 3 게이트 절연막(40, 50)이 형성된 반도체기판 상에, 제 2 게이트 도전막을 형성한다. 이후, 상기 제 2 게이트 도전막을 패터닝하여

상기 제 1 영역(A)을 노출시키는 제 2 게이트 도전막 패턴(80)을 형성한다. 상술한 실시예에 따르면, 상기 제 2 게이트 도전막 패턴(80)은 상기 제 1 영역(A)에서 제거되어, 그 영역에서 상기 유전막 패턴(75)의 상부면을 노출시킨다.

<66> 상기 제 2 게이트 도전막 패턴(80)은 상기 제 1 게이트 도전막 패턴(62)과 동일한 물질로 형성하는 것이 바람직하다. 본 발명의 실시예에 따르면, 상기 제 1 및 제 2 게이트 도전막 패턴들(62, 80)은 모두 다결정 실리콘막이다.

<67> 도 5e를 참조하면, 상기 제 1 게이트 도전막 패턴(62) 및 상기 제 2 게이트 도전막 패턴(80)을 동시에 패터닝하여, 제 1 게이트 스택(91), 제 2 게이트 스택(92), 제 3 게이트 스택(93) 및 커패시터 구조체(95)을 형성한다. 상기 제 1, 제 2 및 제 3 게이트 스택(91, 92, 93) 그리고 상기 커패시터 상부 전극(86)은 각각 상기 제 1 영역(A), 제 2 영역(B), 제 3 영역(C) 및 커패시터 영역(D)에 각각 형성된다. 상기 패터닝 공정은 상기 제 1, 제 2 및 제 3 영역(A,B,C)에서 상기 반도체기판(2)을 노출시키고, 상기 커패시터 영역(D)에서 상기 유전막 패턴(64)이 노출되도록 실시하는 것이 바람직하다.

<68> 이에 따라, 상기 제 1 게이트 스택(91)은 차례로 적층된 제 1 게이트 절연막 패턴(30'), 제 1 게이트 전극(62') 및 제 1 캐핑 패턴(75')을 포함하고, 상기 제 2 게이트 스택(92)은 차례로 적층된 제 2 게이트 절연막 패턴(40') 및 제 2 게이트 전극(82)을 포함하고, 상기 제 3 게이트 스택(93)은 차례로 적층된 제 3 게이트 절연막 패턴(50') 및 제 3 게이트 전극(84)을 포함한다. 또한, 상기 커패시터 구조체(95)은 상기 커패시터 영역(D)에서 상기 소자분리막(4) 상에 차례로 적층된, 상기 커패시터 하부 전극(64), 상기 유전막 패턴(75) 및 상기 커패시터 상부 전극(86)을 포함한다. 상기 캐핑 패턴(75')은 상기 제 1 게이트 도전막 패턴(62) 상의 상기 유전막 패턴(75)이 식각된 결과물이다.

- <69> 한편, 상술한 본 발명의 제 5 실시예는 도 6a, 6b 및 7에 도시된 것처럼, 다양한 변형예들이 가능하다. 아래에서 설명될 변형예는 도 5a 내지 5c까지의 단계를 동일하게 포함할 수 있다. 이에 따라, 중복되는 내용에 대한 설명은 생략한다.
- <70> 도 6a를 참조하면, 상기 제 2 게이트 도전막을 패터닝하기 전에, 상기 제 2 게이트 도전막 상에 반사방지막(90)을 더 형성할 수 있다. 이후, 상기 반사방지막(90) 상에 상기 제 1 영역(A)을 노출시키는 포토레지스트 패턴(도시하지 않음)을 형성한 후, 상기 반사방지막(90) 및 상기 제 2 게이트 도전막을 차례로 식각한다. 이에 따라, 상기 제 1 영역(A)을 노출시키면서, 차례로 적층된 제 2 게이트 도전막 패턴(80) 및 반사방지막(90)이 형성된다.
- <71> 도 6b를 참조하면, 도 5e에서 설명한 패터닝 공정을 실시하여, 상기 제 1, 제 2, 제 3 및 커패시터 영역(A,B,C)에 각각 형성되는 제 1 게이트 스택(91), 제 2 게이트 스택(92), 제 3 게이트 스택(93) 및 커패시터 구조체(95)를 형성한다. 이에 따라, 제 5 실시예와 비교할 때, 상기 제 2 게이트 스택(92), 상기 제 3 게이트 스택(93) 및 상기 커패시터 구조체(95)는 반사방지막 패턴(90')을 더 포함한다. 이때, 상기 반사방지막(90)은 상기 패터닝 공정에서 상기 유전막 패턴(75)에 대해 선택적 식각 특성을 갖지 않는 물질로 형성하는 것이 바람직하다. 예를 들면, 상기 반사방지막(90)은 상기 패터닝 공정 동안 상기 유전막 패턴(75)에 대한 식각 선택비가 50 내지 150%의 범위를 갖는 물질막인 것이 바람직하다. 이러한 식각 특성을 위해, 상기 반사방지막(90)은 두께 및 구성되는 물질의 종류를 조절하는 방법을 사용할 수 있다. 바람직하게는, 상기 반사방지막(90)은 실리콘 산화막, 실리콘 산화질화막 및 실리콘 질화막을 포함하는 물질막 중에서 선택된 적어도 한가지로 형성할 수 있다.

<72> 본 발명의 또다른 변형예에 따르면, 상기 제 2 게이트 도전막 패턴(84)을 형성할 때, 상기 커패시터 상부 전극(86)을 형성할 수도 있다. 또한, 도 6a 및 6b에서 설명한 것처럼, 상기 제 2 게이트 도전막을 패터닝하기 전에, 상기 제 2 게이트 도전막 상에 상기 반사방지막(90)을 더 형성할 수도 있다. 도 6b에서 설명한 패터닝 단계 동안에는, 상기 커패시터 영역(D)은 포토레지스트와 같은 마스크막에 의해 가려진다.

<73> 한편, 본 발명의 제 5 실시예 및 그 변형예들에 따르면, 한차례의 게이트 패터닝 공정을 통해, 서로 다른 두께의 게이트 절연막들(30', 40', 50')을 갖는 적어도 세가지 종류의 게이트 스택들(91, 92, 93) 및 커패시터 구조체(95)을 형성할 수 있다. 상기 게이트 패터닝 공정은 통상적으로 가장 미세하면서 엄격한 선폭 조절이 요구되는 공정이라는 점에서, 한차례의 게이트 패터닝 공정을 포함하는 이 실시예들은 앞선 실시예들에서 설명된 방법보다 공정 비용을 절감시킬 수 있다. 또한, 이 실시예는 앞선 실시예들에 따른 경우 웨이퍼 전체 면적에 비해 식각되는 영역의 면적이 작을 경우 발생할 수 있는 식각 프로파일의 불량과 같은 공정 상의 어려움을 최소화시킬 수 있는 장점이 있다(도 4c 참조). 또한, 본 발명의 제 5 실시예 및 그 변형예들에 따르면, 앞서 설명한 레지듀(residue)의 문제 역시 예방할 수 있다.

<74> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

<75> 상기와 같이 이루어진 본 발명은, 캐패시터, 저항, EEPROM 등을 형성하는데 전형적으로 이용되는 단계 및 구조를 이용하여 각각 게이트 절연막의 두께가 서로 다른 모스 트랜지스터들을 제조할 수 있다.

【특허청구범위】**【청구항 1】**

기판에 제1 트랜지스터 영역, 캐패시터 영역 및 제2 트랜지스터 영역을 정의하는 필드영역을 형성하는 단계;

상기 제1 트랜지스터 영역에 제1 게이트 스택을 형성하되, 동시에 상기 캐패시터 영역에 캐패시터의 하부전극을 형성하는 단계; 및

상기 캐패시터의 하부전극 상에 유전체막을 개재한 캐패시터의 상부전극을 형성하되, 동시에 상기 제2 트랜지스터 영역에 제2 게이트 스택을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 제1 게이트 스택과 동시에 캐패시터의 하부전극을 형성하는 단계는,

상기 기판 상에 제1 게이트 절연막 및 제1 도전막을 형성하는 단계; 및

상기 제1 도전막 및 상기 제1 게이트 절연막을 패터닝하여 제1 게이트 스택 및 캐패시터의 하부전극을 형성하는 단계를 포함하며,

상기 유전체막을 개재한 캐패시터의 상부전극과 동시에 제2 게이트 스택을 형성하는 단계는,

상기 캐패시터의 하부전극 상에 유전체막을 형성하는 단계;

상기 기판 상에 제2 게이트 절연막 및 제2 도전막을 형성하는 단계; 및

상기 제2 도전막 및 상기 제2 게이트 절연막을 패터닝하여 캐패시터의 상부전극 및 제2 게이트 스택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 그 두께가 서로 다른 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 4】

제 1 항에 있어서,

상기 제1 게이트 스택과 동시에 캐패시터의 하부전극을 형성하는 단계는,
상기 기판 상에 제1 게이트 절연막, 제1 도전막, 및 유전체막을 형성하는 단계; 및
상기 유전체막, 제1 도전막, 및 상기 제1 게이트 절연막을 패터닝하여 제1 게이트 스택과 캐패시터의 하부전극 및 유전체막을 형성하는 단계를 포함하며,

상기 캐패시터의 상부전극과 동시에 제2 게이트 스택을 형성하는 단계는,

상기 기판 상에 제2 게이트 절연막 및 제2 도전막을 형성하는 단계; 및

상기 제2 도전막 및 상기 제2 게이트 절연막을 패터닝하여 캐패시터의 상부전극 및 제2 게이트 스택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 5】

제 4 항에 있어서,

상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 그 두께가 서로 다른 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 유전체막은 실리콘 산화막, 실리콘 질화막, ONO(Oxide-Nitride-Oxide)막, 탄탈륨(Ta) 산화막, 바륨-스트론튬-티타늄(Ba-Sr-Ti) 산화막, 지르코늄(Zr) 산화막, 하프늄(Hf) 산화물, 납-아연-티타늄(Pb-Zn-Ti) 산화물, 스트론튬-비스무스-탄탈륨(Sr-Bi-Ta) 산화물 중에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 7】

기판에 제1 트랜지스터 영역, 캐패시터 영역 및 제2 트랜지스터 영역을 정의하는 필드영역을 형성하는 단계;

상기 제1 트랜지스터 영역에 게이트막 패턴을 형성하되, 동시에 상기 캐패시터 영역에 캐패시터의 하부전극을 형성하는 단계;

상기 캐패시터의 하부전극 상에 유전체막을 개재한 캐패시터의 상부전극을 형성하되, 동시에 상기 제2 트랜지스터 영역에 제2 게이트 스택을 형성하는 단계; 및

상기 게이트막 패턴을 패터닝하여 제1 게이트 스택을 형성하는 단계를 포함하는 반도체 장치의 제조방법.

【청구항 8】

제 7 항에 있어서,

상기 게이트막 패턴과 동시에 캐패시터의 하부전극을 형성하는 단계는,
 상기 기판 상에 제1 게이트 절연막 및 제1 도전막을 형성하는 단계; 및
 상기 제1 도전막 및 상기 제1 게이트 절연막을 패터닝하여 제1 게이트막 패턴 및
 캐패시터의 하부전극을 형성하는 단계를 포함하며,
 상기 유전체막을 개재한 캐패시터의 상부전극과 동시에 제2 게이트 스택을 형성하
 는 단계는,

상기 캐패시터의 하부전극 상에 유전체막을 형성하는 단계;
 상기 기판 상에 제2 게이트 절연막 및 제2 도전막을 형성하는 단계; 및
 상기 제2 도전막 및 상기 제2 게이트 절연막을 패터닝하여 캐패시터의 상부전극 및
 제2 게이트 스택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조
 방법.

【청구항 9】

제 8 항에 있어서,
 상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 그 두께가 서로 다른 것을
 특징으로 하는 반도체 장치의 제조방법.

【청구항 10】

제 7 항에 있어서,
 상기 게이트막 패턴과 동시에 캐패시터의 하부전극을 형성하는 단계는,
 상기 기판 상에 제1 게이트 절연막, 제1 도전막, 및 유전체막을 형성하는 단계; 및

상기 유전체막, 제1 도전막, 및 상기 제1 게이트 절연막을 패터닝하여 게이트막 패턴 및 캐패시터의 하부전극 및 유전체막을 형성하는 단계를 포함하며,

상기 캐패시터의 상부전극과 동시에 제2 게이트 스택을 형성하는 단계는,

상기 기판 상에 제2 게이트 절연막 및 제2 도전막을 형성하는 단계; 및

상기 제2 도전막 및 상기 제2 게이트 절연막을 패터닝하여 캐패시터의 상부전극 및 제2 게이트 스택을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 11】

제 10 항에 있어서,

상기 제1 게이트 절연막 및 상기 제2 게이트 절연막은 그 두께가 서로 다른 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 12】

제 7 항에 있어서,

상기 제1 트랜지스터 영역에 형성되는 상기 게이트막 패턴의 가장자리는 상기 필드 영역과 오버랩되는 것을 특징으로 하는 반도체 장치의 제조방법.

【청구항 13】

제 7 항에 있어서,

상기 유전체막은 실리콘 산화막, 실리콘 질화막, ONO(Oxide-Nitride-Oxide)막, 탄탈륨(Ta) 산화막, 바륨-스트론튬-티타늄(Ba-Sr-Ti) 산화막, 지르코늄(Zr) 산화막, 하프늄(Hf) 산화물, 납-아연-티타늄(Pb-Zn-Ti) 산화물, 스트론튬-비스무스-탄탈륨(Sr-Bi-Ta)

산화물 중에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 14】

반도체기판의 소정영역에, 제 1 영역, 제 2 영역 및 제 3 영역을 정의하는 소자분리막들을 형성하는 제 1 단계;

상기 제 1 영역의 반도체기판 상에, 차례로 적층된 제 1 게이트 절연막 및 제 1 게이트 도전막 패턴을 형성하고, 상기 제 2 영역의 반도체기판 상에, 차례로 적층된 제 2 게이트 절연막 및 제 2 게이트 도전막 패턴을 형성하고, 상기 제 3 영역의 반도체기판 상에, 차례로 적층된 제 3 게이트 절연막 및 상기 제 2 게이트 도전막 패턴을 형성하는 제 2 단계; 및

상기 제 1 게이트 도전막 패턴 및 상기 제 2 게이트 도전막 패턴을 함께 패터닝하여, 상기 제 1, 제 2 및 제 3 영역에 각각 배치되는 제 1 게이트 전극, 제 2 게이트 전극 및 제 3 게이트 전극을 형성하는 제 3 단계를 포함하되,

상기 제 1 게이트 절연막, 제 2 게이트 절연막 및 제 3 게이트 절연막은 서로 다른 두께를 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 15】

제 14 항에 있어서,

상기 제 2 단계는

상기 제 1 영역의 반도체기판 상에, 차례로 적층된 제 1 게이트 절연막 및 제 1 게이트 도전막 패턴을 형성하는 단계;

상기 제 2 영역 및 제 3 영역의 반도체기판 상에, 서로 다른 두께의 제 2 게이트 절연막 및 제 3 게이트 절연막을 각각 형성하는 단계;

상기 제 2 게이트 절연막 및 제 3 게이트 절연막이 형성된 반도체기판의 전면에, 제 2 게이트 도전막을 형성하는 단계; 및

상기 제 2 게이트 도전막을 패터닝하여, 상기 제 1 영역에서 상기 제 1 게이트 도전막 패턴을 노출시키는 제 2 게이트 도전막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 16】

제 15 항에 있어서,

상기 제 1 게이트 절연막 및 제 1 게이트 도전막 패턴을 형성하는 단계는

상기 제 1 영역에 제 1 게이트 절연막을 형성하는 단계;

상기 제 1 게이트 절연막이 형성된 반도체기판 상에, 제 1 게이트 도전막을 형성하는 단계; 및

상기 제 1 게이트 도전막을 패터닝하여, 상기 제 1 영역에서 상기 제 1 게이트 절연막을 덮는 상기 제 1 게이트 도전막 패턴을 형성하고, 상기 소자분리막들의 소정영역 상부에 커패시터 하부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 17】

제 16 항에 있어서,

상기 제 1 게이트 도전막을 패터닝한 후,

상기 제 1 게이트 도전막 패턴 및 상기 커패시터 하부 전극이 형성된 반도체기판 상에 유전막을 적층하는 단계; 및

상기 유전막을 패터닝하여, 상기 제 2 영역 및 제 3 영역을 노출시키면서 상기 커패시터 하부 전극을 덮는 유전막 패턴을 형성하는 단계를 더 포함하는 반도체 장치의 제조 방법.

【청구항 18】

제 17 항에 있어서,

상기 유전막은 실리콘 산화막, 실리콘 질화막, ONO(Oxide-Nitride-Oxide)막, 탄탈륨(Ta) 산화막, 바륨-스트론튬-티타늄(Ba-Sr-Ti) 산화막, 지르코늄(Zr) 산화막, 하프늄(Hf) 산화물, 납-아연-티타늄(Pb-Zn-Ti) 산화물, 스트론튬-비스무스-탄탈륨(Sr-Bi-Ta) 산화물 중에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 19】

제 17 항에 있어서,

상기 제 2 게이트 도전막을 패터닝하기 전에,

상기 제 2 게이트 도전막 상에, 상기 제 3 단계를 실시하는 동안 상기 유전막에 대해 선택적 식각 특성을 없도록 반사 방지막을 형성하는 단계를 더 포함하되,

상기 선택적 식각 특성이 없는 반사 방지막을 형성하는 단계는 상기 제 3 단계에서 상기 유전막에 대한 식각 선택비가 50 내지 150%이도록, 상기 반사 방지막의 물질 및 두께를 조절하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 20】

제 17 항에 있어서,
상기 제 2 게이트 도전막 패턴을 형성하는 동안,
상기 유전막 패턴 상에, 상기 커패시터 하부 전극에 마주하는(opposite) 커패시터 상부 전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 21】

제 17 항에 있어서,
상기 제 3 단계를 실시하는 동안,
상기 유전막 패턴 상에, 상기 커패시터 하부 전극에 마주하는(opposite) 커패시터 상부 전극을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 22】

제 14 항에 있어서,
상기 제 1 게이트 도전막 패턴 및 상기 제 2 도전막 패턴은 같은 물질인 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 23】

제 22 항에 있어서,
상기 제 1 게이트 도전막 패턴 및 상기 제 2 도전막 패턴은 다결정 실리콘막을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 24】

제 14 항에 있어서,

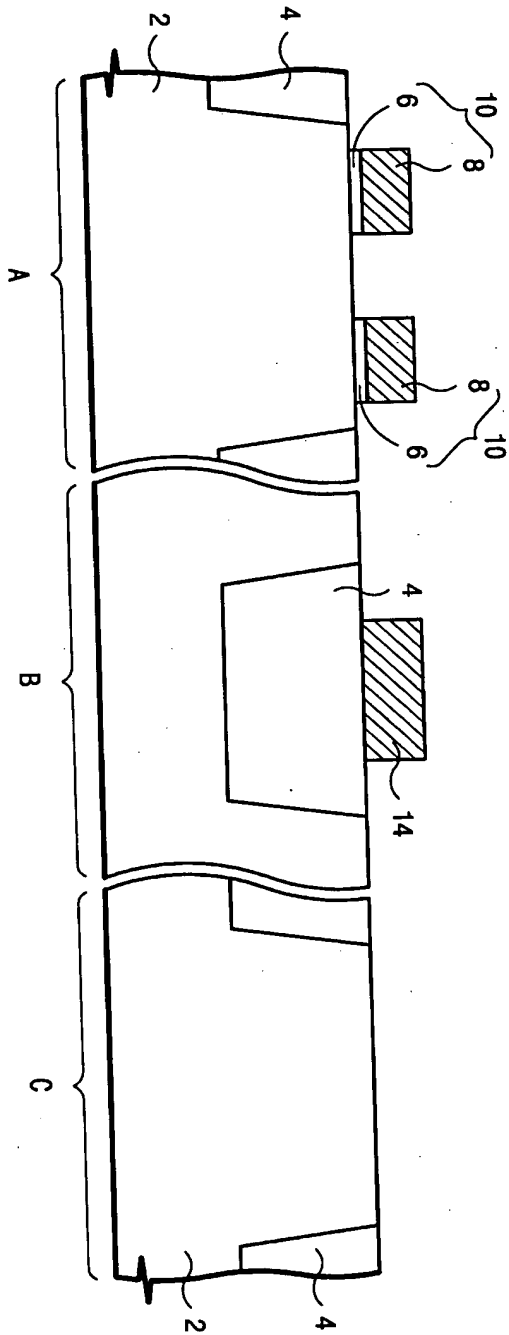
상기 제 1 게이트 절연막은 열산화 공정을 통해 형성된 50 내지 300Å 두께의 실리콘 산화막이고,

상기 제 2 게이트 절연막은 열산화 공정을 통해 형성된 10 내지 100Å 두께의 실리콘 산화막이고,

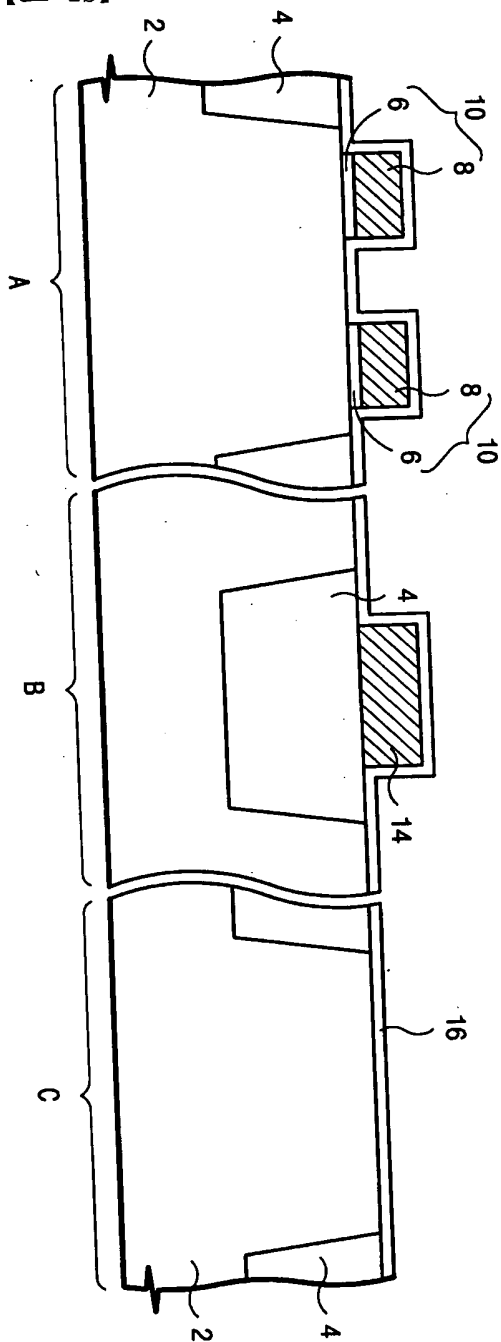
상기 제 3 게이트 절연막은 화학기상증착 공정을 통해 형성된 100 내지 1000Å 두께의 실리콘 산화막인 것을 특징으로 하는 반도체 장치의 제조 방법.

【도면】

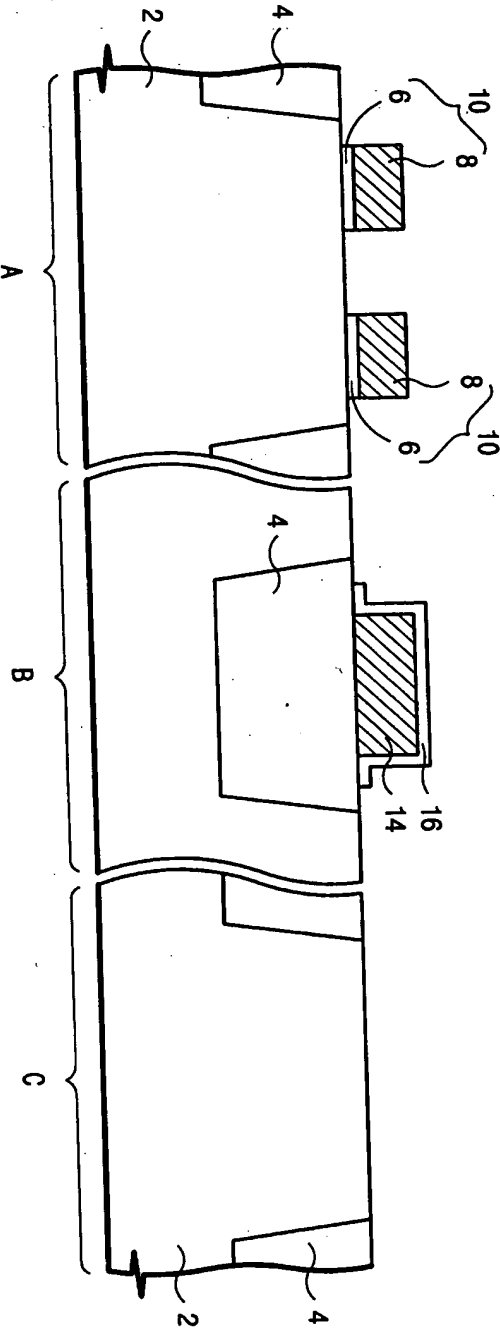
【도 1a】



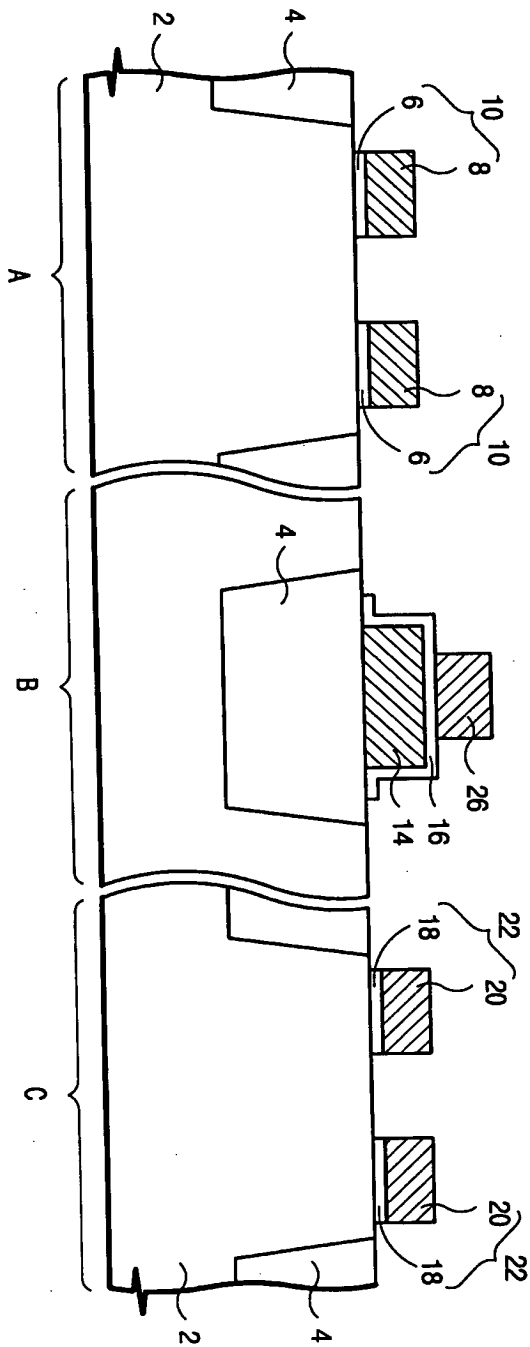
【도 1b】



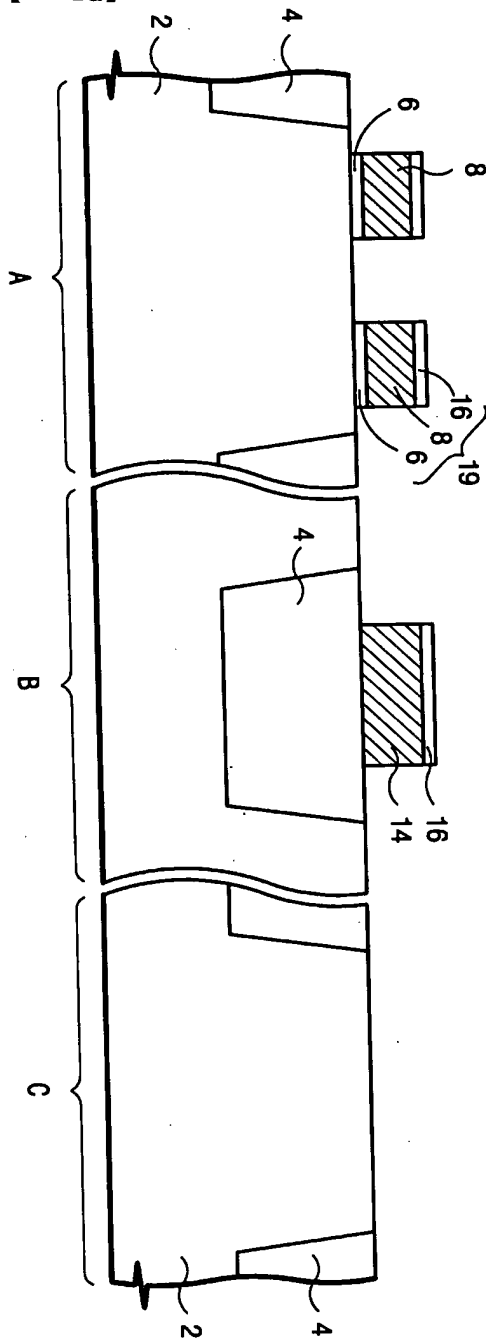
【도 1c】



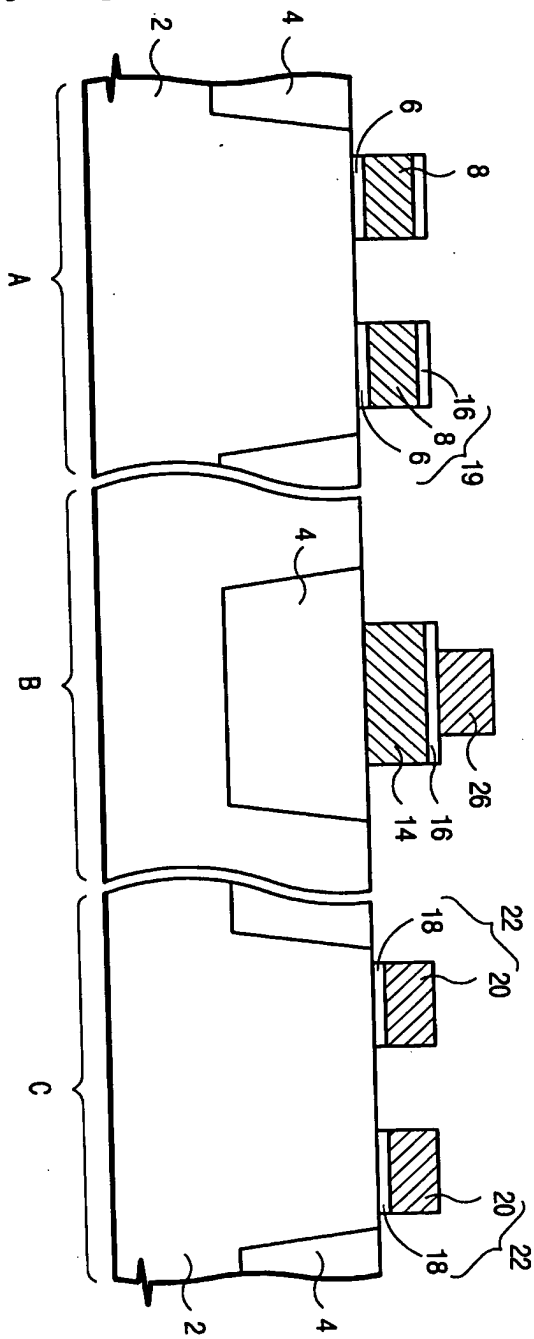
【도 1d】



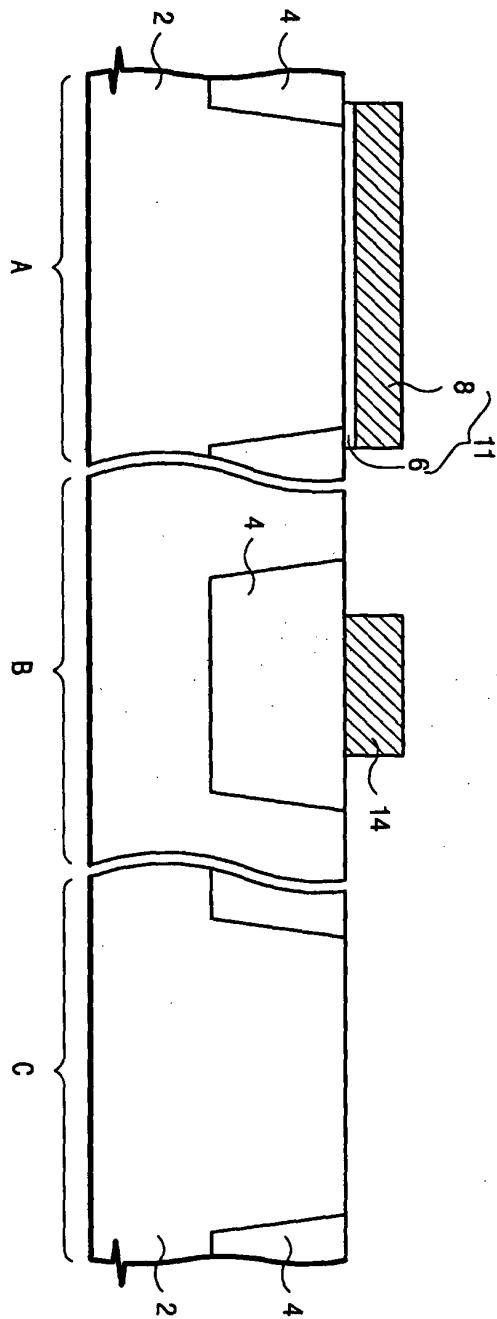
【도 2a】



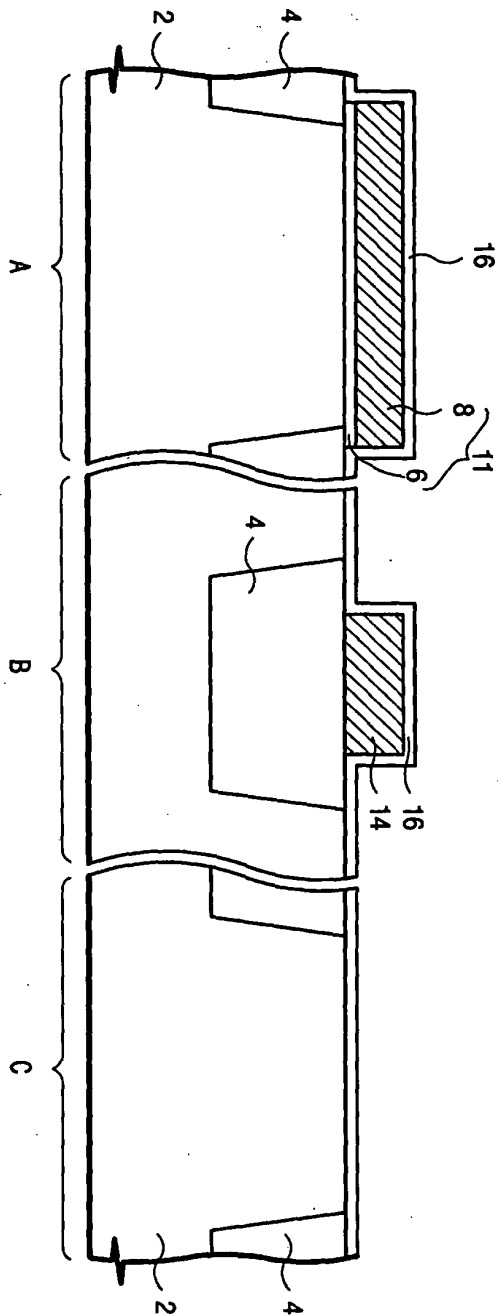
【도 2b】



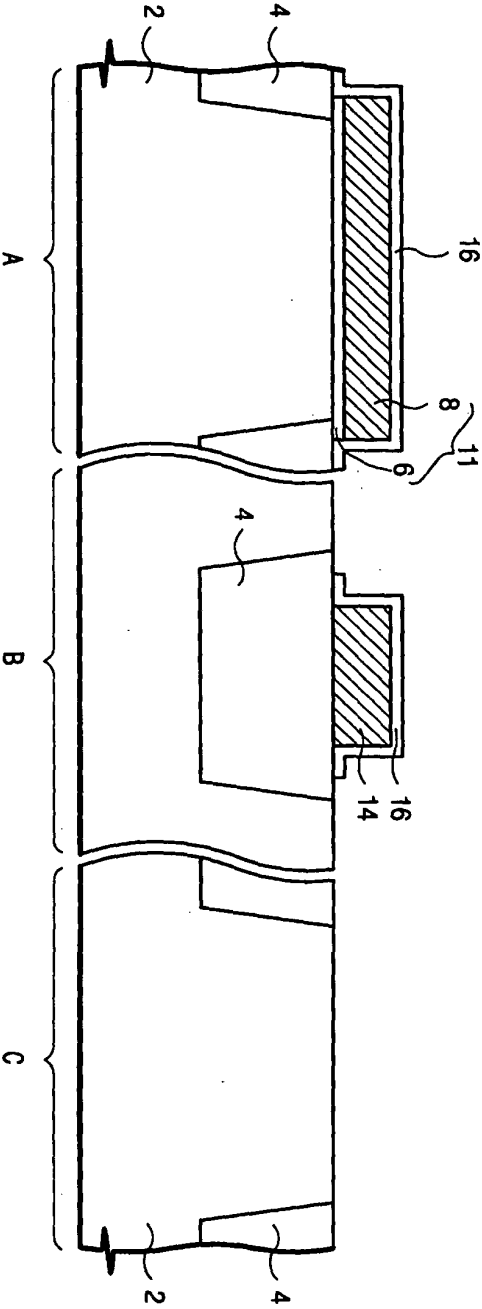
【도 3a】



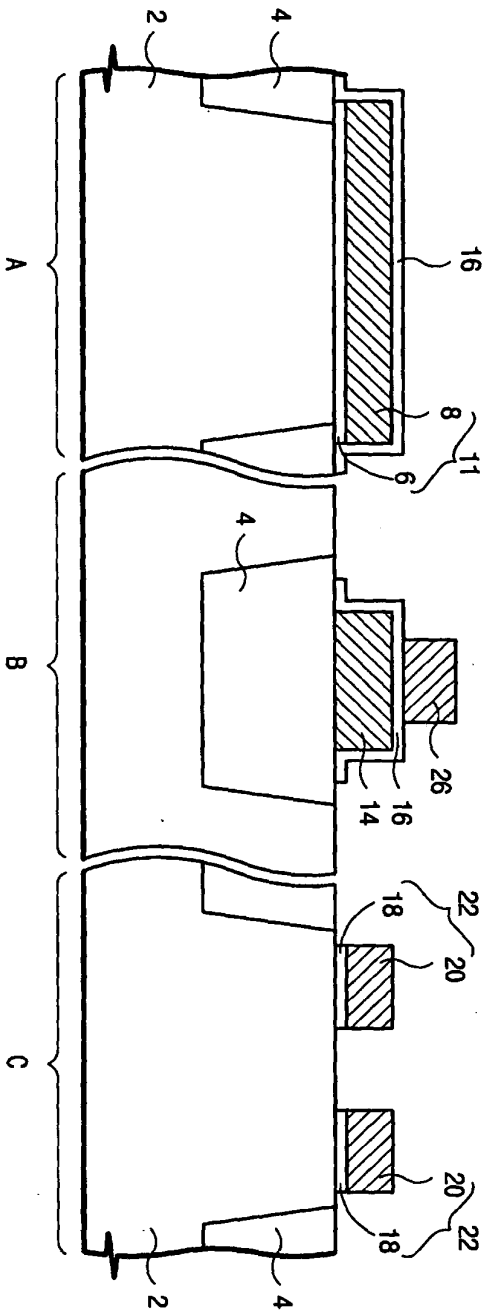
【도 3b】



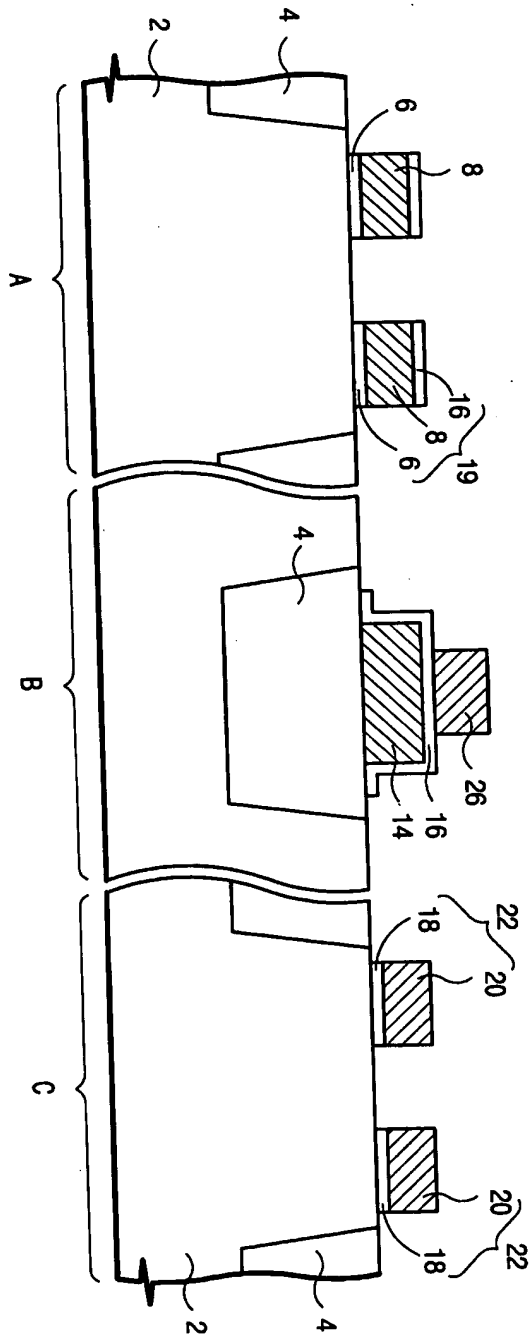
【도 3c】



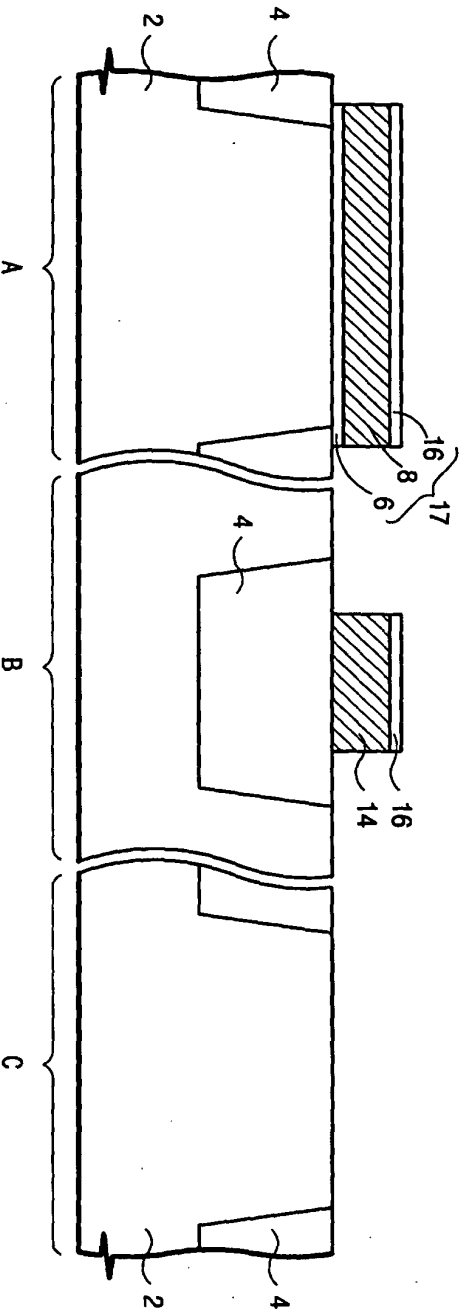
【도 3d】



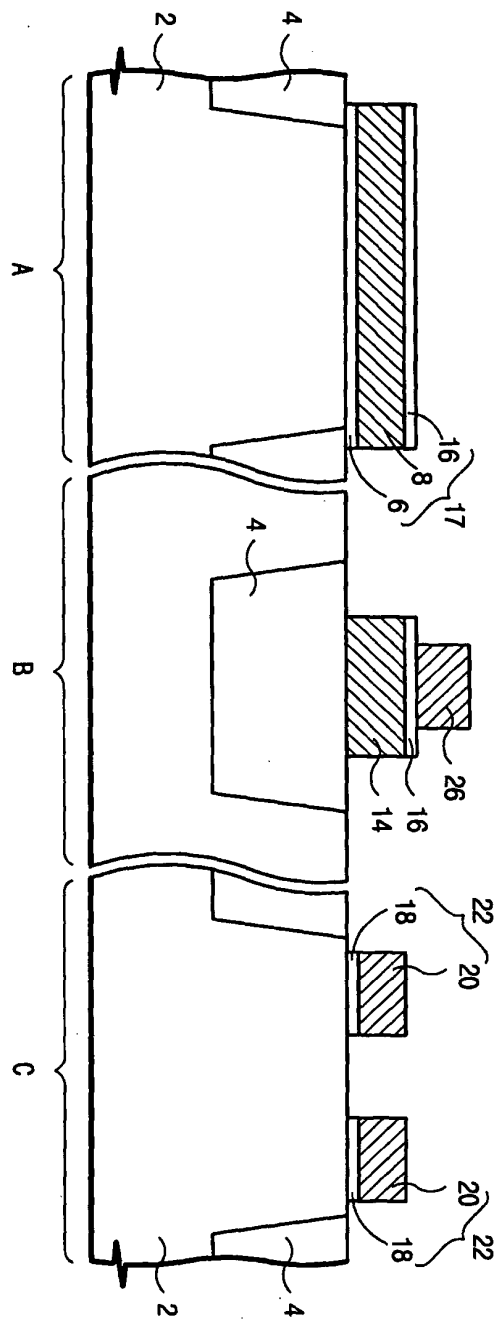
【도 3e】



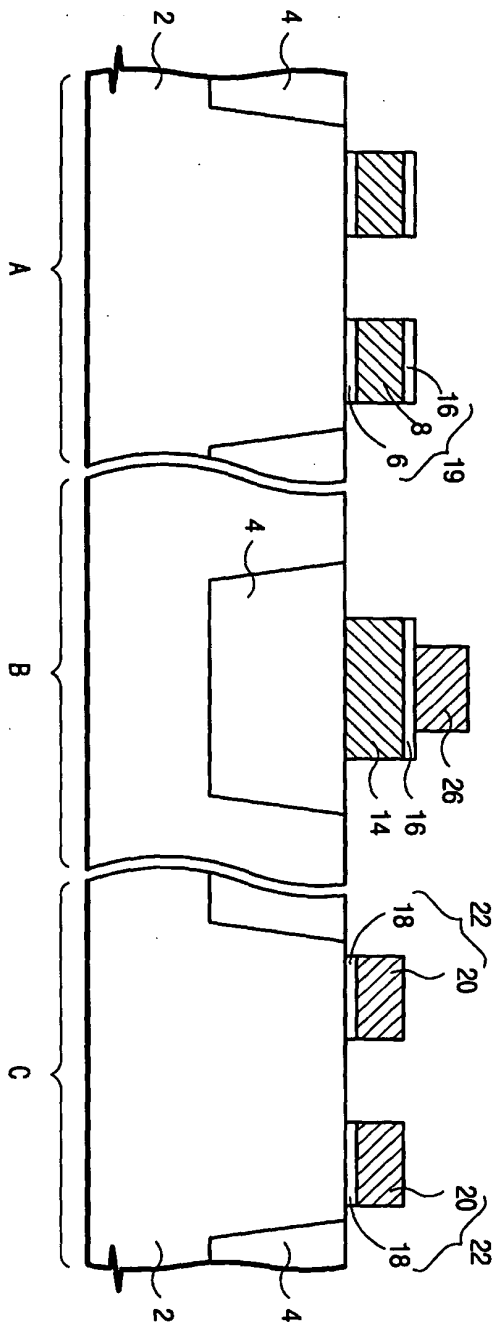
【도 4a】



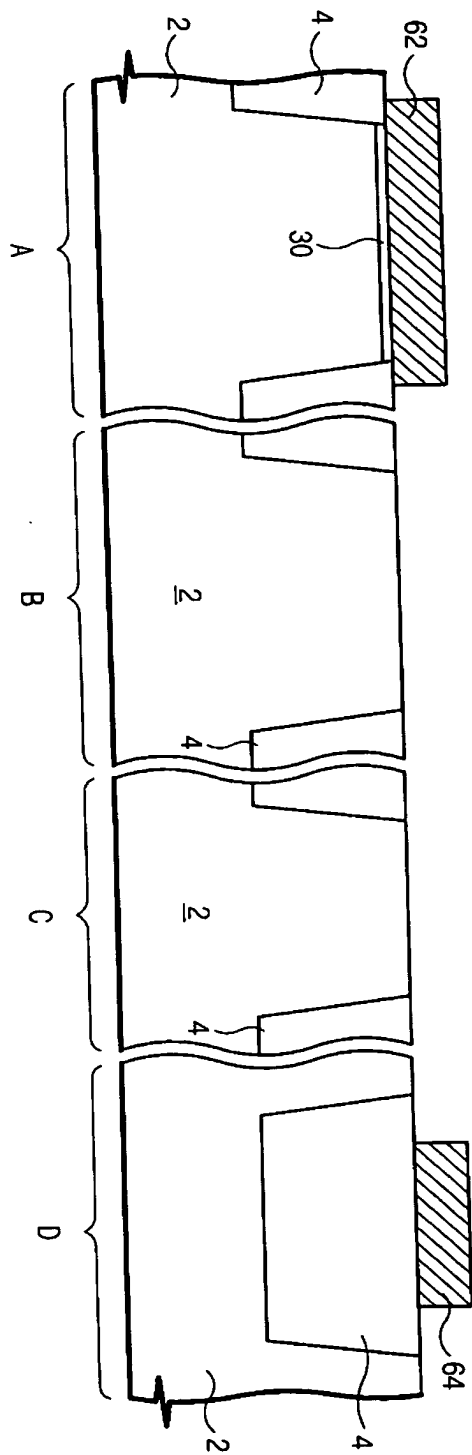
【도 4b】



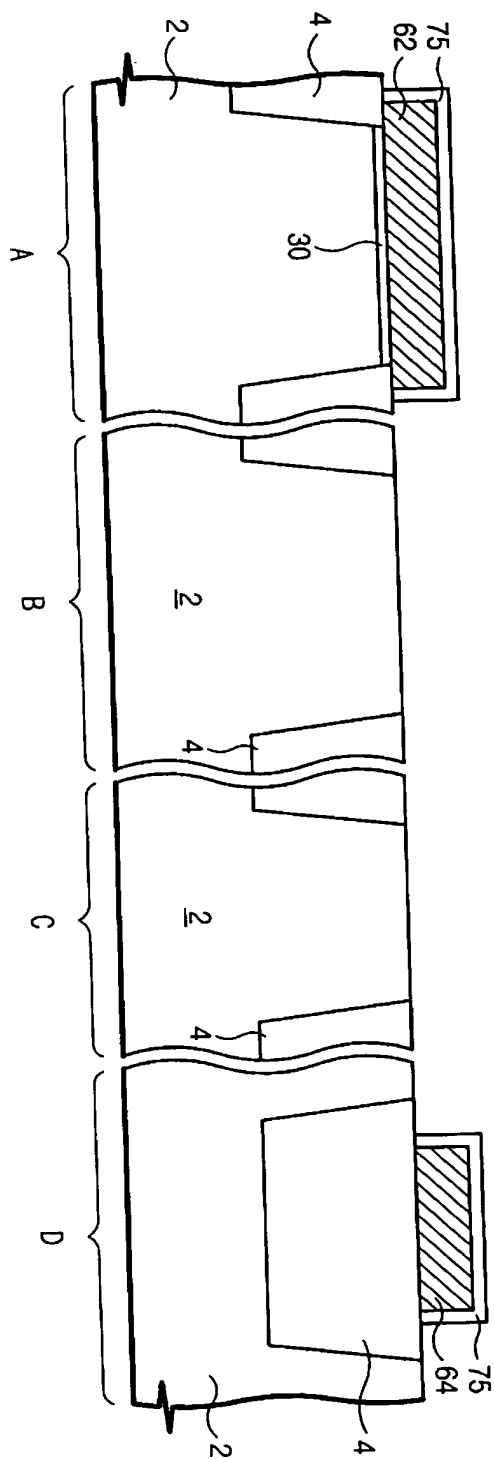
【도 4c】



【도 5a】



【도 5b】

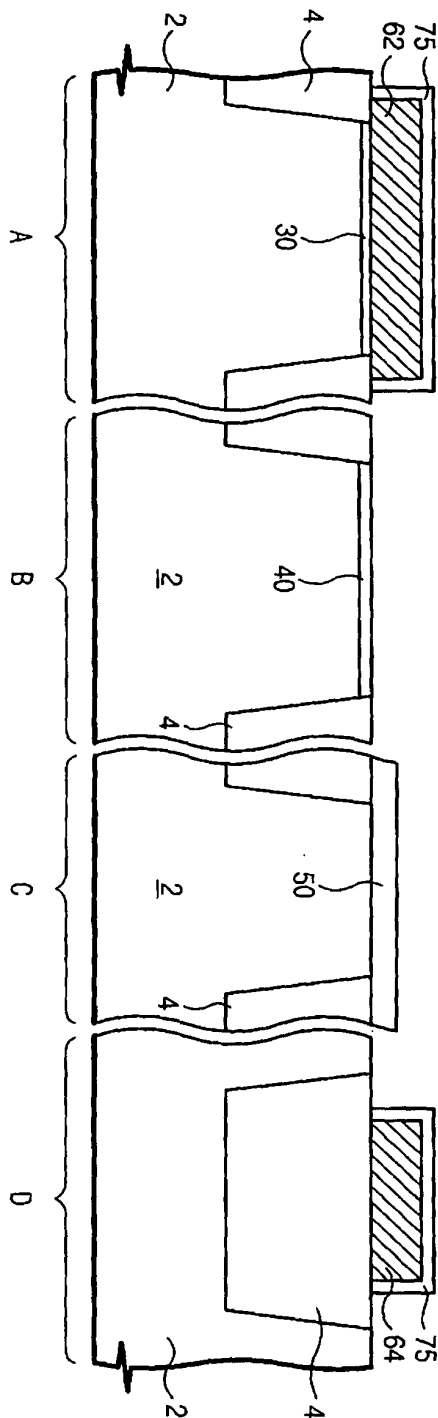




1020030052366

출력 일자: 2003/8/18

【도 5c】

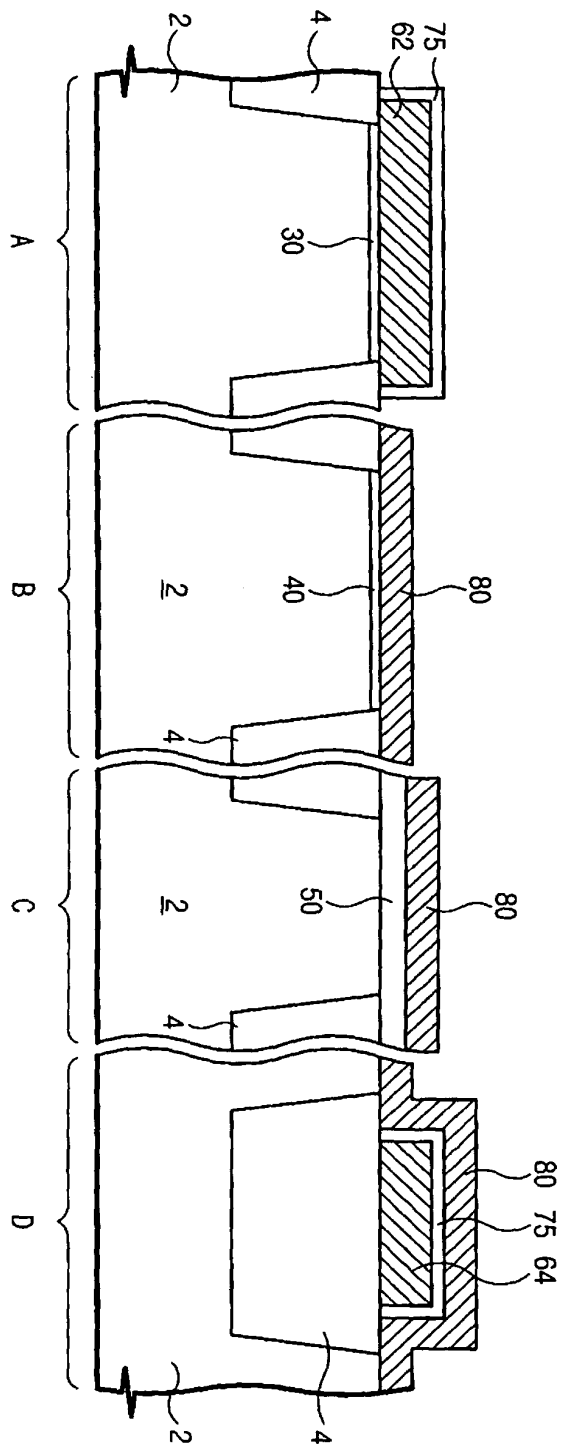




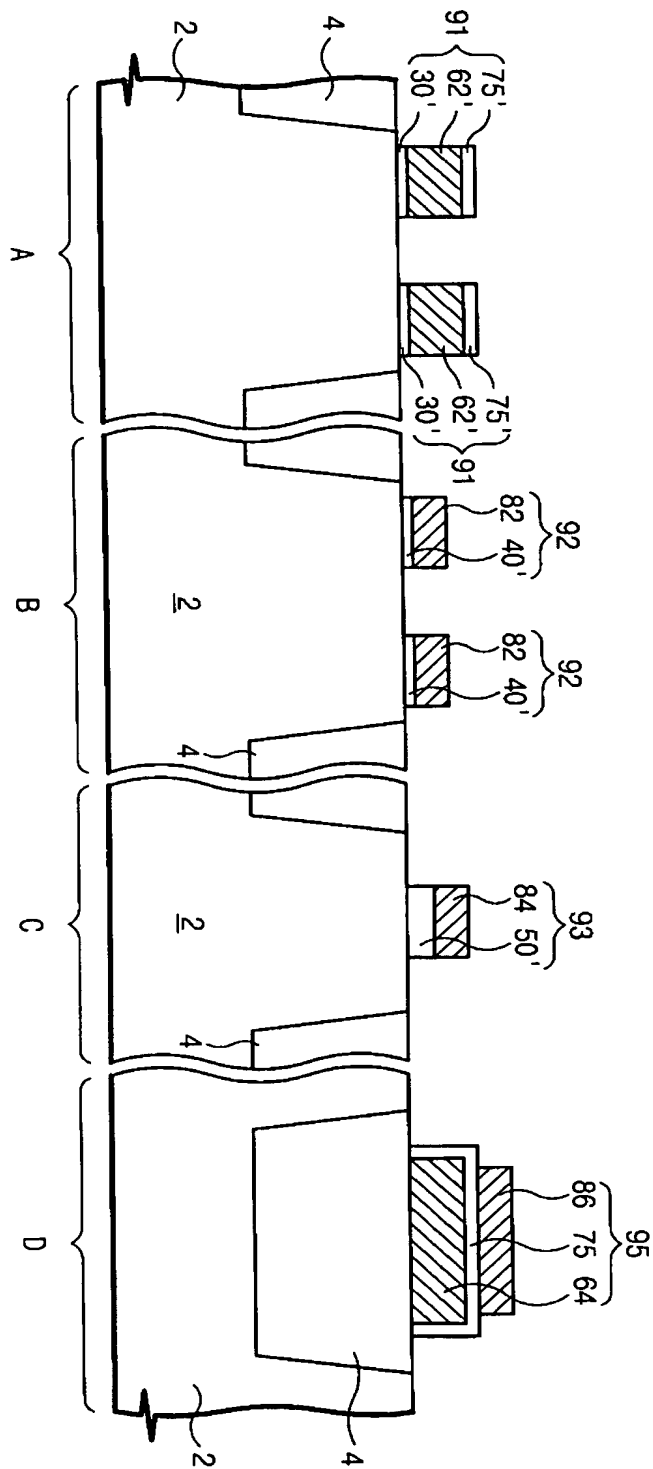
1020030052366

출력 일자: 2003/8/18

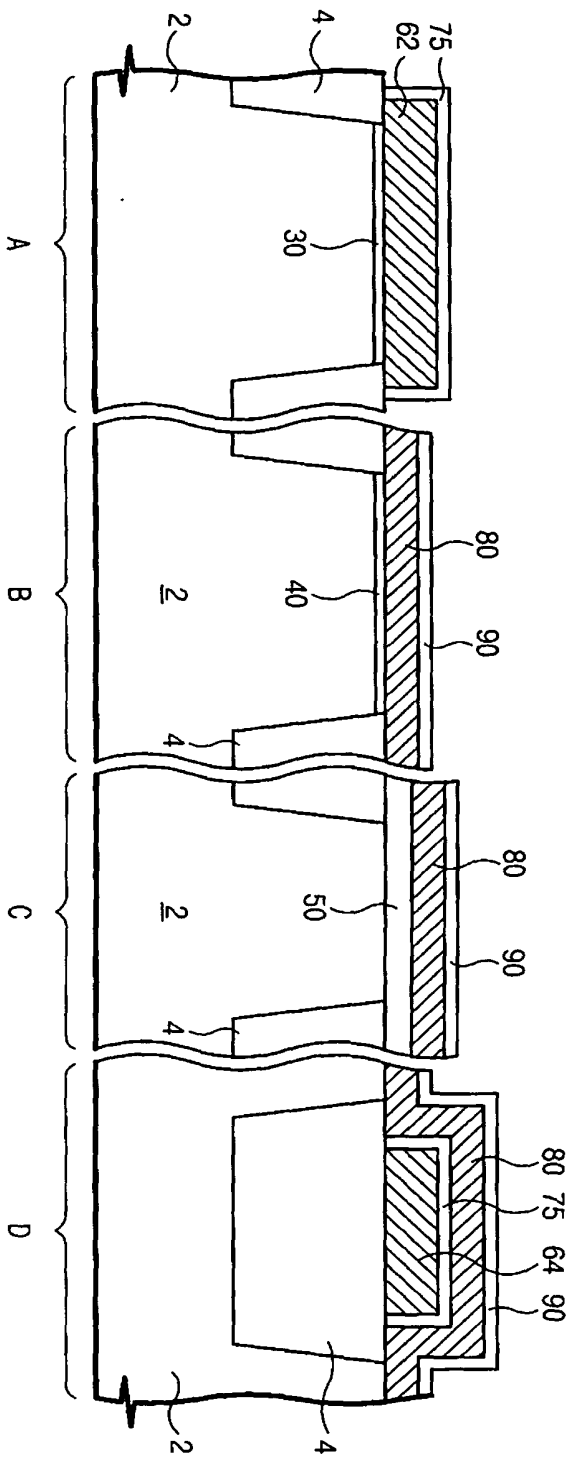
【도 5d】



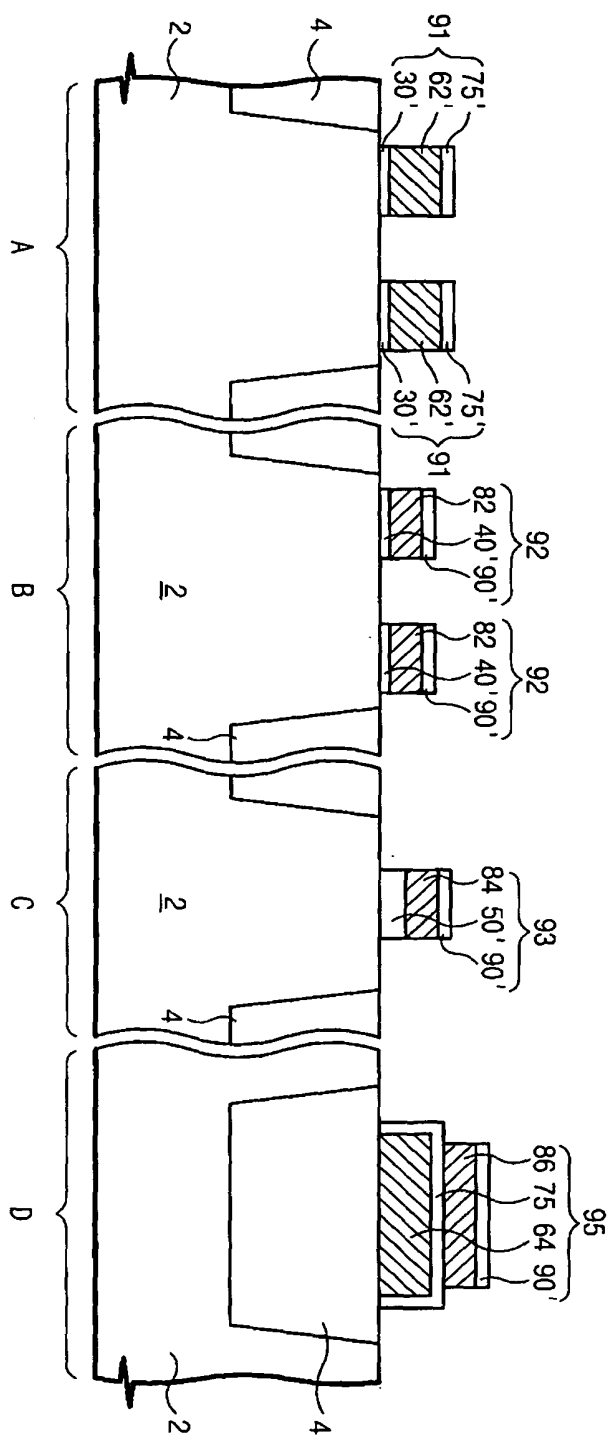
【도 5e】



【도 6a】



【도 6b】



【도 7】

